

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

K. Suzuki
Filed 7/21/99
Q53838
1 of 1

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1998年 7月24日

出 願 番 号
Application Number:

平成10年特許願第208889号

出 願 人
Applicant (s):

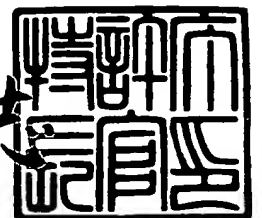
日本電気株式会社



1998年11月 6日

特 許 庁 長 官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平10-3089578

【書類名】 特許願

【整理番号】 66205788

【提出日】 平成10年 7月24日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/16
G06F 11/22

【発明の名称】 オンチップマルチプロセッサシステムにおける初期設定
・ 診断方式

【請求項の数】 12

【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 鈴木 勉幸

【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代表者】 金子 尚志

【代理人】
【識別番号】 100088890
【弁理士】
【氏名又は名称】 河原 純一

【手数料の表示】
【予納台帳番号】 009690
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9001717

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 オンチップマルチプロセッサシステムにおける初期設定・診断方式

【特許請求の範囲】

【請求項 1】 システム制御部による制御を受け、CPU群とCPU以外診断対象装置群とを同一のLSI内に有するオンチップマルチプロセッサシステムにおいて、

CPU初期設定・診断用プログラムおよびCPU以外診断対象装置初期設定・診断用プログラムを格納するプログラム格納手段と、

前記システム制御部からの電確信号をトリガ信号として受信することを契機として前記プログラム格納手段内のCPU初期設定・診断用プログラムをロードし、当該CPU初期設定・診断用プログラムの実行による各CPUの出力データを診断回路に送出し、前記プログラム格納手段からロードしたCPU以外診断対象装置初期設定・診断用プログラムに基づく正常CPU群によるCPU以外診断対象装置の診断を行い、前記CPU群およびCPU以外診断対象装置群の診断結果を前記システム制御部に通知する前記CPU群と、

前記CPU群の各CPUから送出される出力データを多数決論理によって判定して各CPUの障害の有無を診断し、その診断結果を前記CPU群に報告する前記診断回路と

を有することを特徴とするオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項 2】 CPU群中のm個のCPUの各々のx個の出力ピンから出力される出力データを入力し、x個の多数決論理回路の各々によって全てのCPUの第1の出力ピン～第xの出力ピンから出力されるm個の出力ビットを多数派と少数派とに切り分けて各多数決論理回路からm個の多数決信号を出力する多数決論理回路群と、

前記多数決論理回路群のx個の多数決論理回路の各々によって出力された多数決信号の論理和を出力するm個の論理和ゲートからなる論理和ゲート群と、

前記論理和ゲート群の出力に基づくエンコード値を診断結果として前記CPU群

に送出するエンコーダと

を備える診断回路を有することを特徴とする請求項1記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項3】 CPU以外診断対象装置群が主記憶アクセス制御装置、主記憶装置、およびIOP群であることを特徴とする請求項1または請求項2記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項4】 システム制御部による制御を受け、CPU群とCPU以外診断対象装置群とを同一のLSI内に有するオンチップマルチプロセッサシステムにおいて、

CPU初期設定・診断用プログラムおよびCPU以外診断対象装置初期設定・診断用プログラムを格納するプログラム格納手段と、

トリガ信号に関するモード情報を保持するモード情報格納手段と、

前記モード情報格納手段内のモード情報に基づいて前記システム制御部からの電確信号をトリガ信号とするかユーザ設定信号をトリガ信号とするかの選択を行うトリガ信号選択回路と、

前記トリガ信号選択回路によって選択されたトリガ信号の受信を契機として前記プログラム格納手段内のCPU初期設定・診断用プログラムをロードし、当該CPU初期設定・診断用プログラムの実行による各CPUの出力データを診断回路に送出し、前記プログラム格納手段からロードしたCPU以外診断対象装置初期設定・診断用プログラムに基づく正常CPU群によるCPU以外診断対象装置の診断を行い、前記CPU群およびCPU以外診断対象装置群の診断結果を前記システム制御部に通知する前記CPU群と、

前記CPU群の各CPUから送出される出力データを多数決論理によって判定して各CPUの障害の有無を診断し、その診断結果を前記CPU群に報告する前記診断回路と

を有することを特徴とするオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項5】 CPU群中のm個のCPUの各々のx個の出力ピンから出力される出力データを入力し、x個の多数決論理回路の各々によって全てのCPUの第

1 の出力ピン～第 x の出力ピンから出力される m 個の出力ビットを多数派と少数派とに切り分けて各多数決論理回路から m 個の多数決信号を出力する多数決論理回路群と、

前記多数決論理回路群の x 個の多数決論理回路の各々によって出力された多数決信号の論理和を出力する m 個の論理和ゲートからなる論理和ゲート群と、

前記論理和ゲート群の出力に基づくエンコード値を診断結果として前記 CPU 群に送出するエンコーダと

を備える診断回路を有することを特徴とする請求項 4 記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項 6】 CPU 以外診断対象装置群が主記憶アクセス制御装置、主記憶装置、および IOP 群であることを特徴とする請求項 4 または請求項 5 記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項 7】 システム制御部による制御を受け、CPU 群と CPU 以外診断対象装置群とを同一の LSI 内に有するオンチップマルチプロセッサシステムにおいて、

CPU 初期設定・診断用プログラムおよび CPU 以外診断対象装置初期設定・診断用プログラムを格納するプログラム格納手段と、

初期設定・診断用プログラムのロードパスに関するモード情報を保持するモード情報格納手段と、

前記モード情報格納手段内のモード情報に基づいて初期設定・診断用プログラムのロードパスを前記プログラム格納手段からのデータ入力によるパスとするか外部データ入力によるパスとするかの選択を行うロードパス選択回路と、

前記システム制御部からの電確信号をトリガ信号として受信することを契機として前記ロードパス選択回路によって選択されたロードパスを介して CPU 初期設定・診断用プログラムをロードし、当該 CPU 初期設定・診断用プログラムの実行による各 CPU の出力データを診断回路に送出し、前記ロードパス選択回路によって選択されたロードパスを介してロードした CPU 以外診断対象装置初期設定・診断用プログラムに基づく正常 CPU 群による CPU 以外診断対象装置の診断を行い、前記 CPU 群および CPU 以外診断対象装置群の診断結果を前記シス

テム制御部に通知する前記CPU群と、

前記CPU群の各CPUから送出される出力データを多数決論理によって判定して各CPUの障害の有無を診断し、その診断結果を前記CPU群に報告する前記診断回路と

を有することを特徴とするオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項8】 CPU群中のm個のCPUの各々のx個の出力ピンから出力される出力データを入力し、x個の多数決論理回路の各々によって全てのCPUの第1の出力ピン～第xの出力ピンから出力されるm個の出力ビットを多数派と少数派とに切り分けて各多数決論理回路からm個の多数決信号を出力する多数決論理回路群と、

前記多数決論理回路群のx個の多数決論理回路の各々によって出力された多数決信号の論理和を出力するm個の論理和ゲートからなる論理和ゲート群と、

前記論理和ゲート群の出力に基づくエンコード値を診断結果として前記CPU群に送出するエンコーダと

を備える診断回路を有することを特徴とする請求項7記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項9】 CPU以外診断対象装置群が主記憶アクセス制御装置、主記憶装置、およびIOP群であることを特徴とする請求項7または請求項8記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項10】 システム制御部による制御を受け、CPU群とCPU以外診断対象装置群とを同一のLSI内に有するオンチップマルチプロセッサシステムにおいて、

CPU初期設定・診断用プログラムおよびCPU以外診断対象装置初期設定・診断用プログラムを格納するプログラム格納手段と、

トリガ信号に関するモード情報および初期設定・診断用プログラムのロードパスに関するモード情報を保持するモード情報格納手段と、

前記モード情報格納手段内のトリガ信号に関するモード情報に基づいて前記システム制御部からの電確信号をトリガ信号とするかユーザ設定信号をトリガ信号と

するかを選択を行うトリガ信号選択回路と、

前記モード情報格納手段内のロードパスに関するモード情報に基づいて初期設定・診断用プログラムのロードパスを前記プログラム格納手段からのデータ入力によるパスとするか外部データ入力によるパスとするかを選択を行うロードパス選択回路と、

前記トリガ信号選択回路によって選択されたトリガ信号の受信を契機として前記ロードパス選択回路によって選択されたロードパスを介してCPU初期設定・診断用プログラムをロードし、当該CPU初期設定・診断用プログラムの実行による各CPUの出力データを診断回路に送出し、前記ロードパス選択回路によって選択されたロードパスを介してロードしたCPU以外診断対象装置初期設定・診断用プログラムに基づく正常CPU群によるCPU以外診断対象装置の診断を行い、前記CPU群およびCPU以外診断対象装置群の診断結果を前記システム制御部に通知する前記CPU群と、

前記CPU群の各CPUから送出される出力データを多数決論理によって判定して各CPUの障害の有無を診断し、その診断結果を前記CPU群に報告する前記診断回路と

を有することを特徴とするオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項 11】 CPU群中のm個のCPUの各々のx個の出力ピンから出力される出力データを入力し、x個の多数決論理回路の各々によって全てのCPUの第1の出力ピン～第xの出力ピンから出力されるm個の出力ビットを多数派と少数派とに切り分けて各多数決論理回路からm個の多数決信号を出力する多数決論理回路群と、

前記多数決論理回路群のx個の多数決論理回路の各々によって出力された多数決信号の論理和を出力するm個の論理和ゲートからなる論理和ゲート群と、

前記論理和ゲート群の出力に基づくエンコード値を診断結果として前記CPU群に送出するエンコーダと

を備える診断回路を有することを特徴とする請求項 10 記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【請求項12】 CPU以外診断対象装置群が主記憶アクセス制御装置、主記憶装置、およびIOP群であることを特徴とする請求項10または請求項11記載のオンチップマルチプロセッサシステムにおける初期設定・診断方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オンチップマルチプロセッサシステム（複数のCPU（Central Processing Unit）と主記憶装置、主記憶アクセス制御装置、およびIOP（Input Output Processor）等のCPU以外の診断対象となる装置（「CPU以外診断対象装置」という）とが1つのLSI（Large Scale Integration）内に搭載されたマルチプロセッサシステム）において各CPUおよび各CPU以外診断対象装置の初期設定・診断動作（システムリセット時（最も通常であるのは電源投入時）に各装置を診断した上で立ち上げる動作）を行うオンチップマルチプロセッサシステムにおける初期設定・診断方式に関する。

【0002】

【従来の技術】

図6は、従来のオンチップマルチプロセッサシステムにおける初期設定・診断方式の一例の構成を示すブロック図である。以下、図6を参照して、従来技術の説明を行う。

【0003】

図6において、初期設定・診断制御プロセッサ20は、各CPU211～21m（mは任意の正整数）からなるCPU群21、主記憶アクセス制御装置22、主記憶装置23、および各IOP241～24n（nは任意の正整数）からなるIOP群24によって構成されるオンチップマルチプロセッサシステム（1つのLSI）とは独立した別のLSIによって実現される初期設定・診断制御用の専用プロセッサである。

【0004】

初期設定・診断制御プロセッサ20は、当該オンチップマルチプロセッサシステ

ムの電源投入時にシステム制御部（オンチップマルチプロセッサシステムに関する「システム立上げ」や「障害処理全般」の制御を行う装置）から電確信号（本明細書では、オンチップマルチプロセッサシステムの電源投入を通知する信号を代表例とする「システム制御部から出力されるCPU初期設定・診断開始指示信号」を意味する）をトリガ信号として受け取ると、CPU群21，主記憶アクセス制御装置22，主記憶装置23，およびIOP群24の各装置の初期設定・診断動作を開始する。

【0005】

なお、初期設定・診断制御プロセッサ20による初期設定・診断動作は、各診断対象装置（CPU群21，主記憶アクセス制御装置22，主記憶装置23，およびIOP群24）に設けられたスキャンパス等の診断用パスを用いてデータの書込みおよび読出しを行うことによって実現される。

【0006】

初期設定・診断制御プロセッサ20は、上記の初期設定・診断動作による診断対象装置の診断結果をシステム制御部に報告する。障害が見つかった装置については、その報告を受けたシステム制御部の制御によって、デグレード可能な単位でデグレードされる。

【0007】

【発明が解決しようとする課題】

上述した従来のオンチップマルチプロセッサシステムにおける初期設定・診断方式には、次のような問題点があった。

【0008】

第1の問題点は、CPUやCPU以外診断対象装置とは独立した初期設定・診断制御プロセッサが必要となるため、オンチップマルチプロセッサシステムを駆動するために必要なハードウェア量が増加するということである。

【0009】

第2の問題点は、第1の問題点で言及した初期設定・診断制御プロセッサは、通常、オンチップマルチプロセッサシステムの原価低減の目的で安価なテクノロジーで設計されていることが多いので、当該初期設定・診断制御プロセッサのクロッ

ク周波数はオンチップマルチプロセッサシステムの通常動作時のクロック周波数（CPU等のクロック周波数）と比較して低いため、初期設定・診断動作が遅くなるということである。

【0010】

第3の問題点は、第2の問題点で示したように、CPU等の診断対象装置のクロック周波数と初期設定・診断制御プロセッサのクロック周波数とが異なるため、別途、同期制御が必要になるということである。

【0011】

本発明の目的は、上述の点に鑑み、初期設定・診断制御プロセッサを不要とし、上記の問題点（ハードウェア量の増加、初期設定・診断動作の遅延、および余分な同期制御の必要性という問題点）を解決することを可能とするオンチップマルチプロセッサシステムにおける初期設定・診断方式を提供することにある。

【0012】

なお、本発明に対する従来技術に関する特許公報としては、特開平3-19069号公報がある。この特許公報に記載された技術（マルチプロセッサの異常診断方式）では、複数の単位プロセッサがそれぞれ自己の処理結果と自己以外の単位プロセッサの処理結果とをそれぞれ比較し、当該比較の結果が多数決回路に入力され、異常の単位プロセッサの存在の判定が行われている。この従来技術と本発明とは、多数決論理を利用してプロセッサ（CPU）の異常（障害）の存在を判断する点で類似している。しかしながら、本発明は、CPU以外診断対象装置をも含むオンチップマルチプロセッサシステム全体を診断対象としている点で、明らかに当該従来技術とは異なった構成や効果を有している（その他に、トリガ信号や初期設定・診断用プログラムのロードパスに関するモードを可変とすることが可能な点でも、本発明は当該従来技術とは一線を画するものである）。

【0013】

【課題を解決するための手段】

本発明のオンチップマルチプロセッサシステムにおける初期設定・診断方式は、システム制御部による制御を受け、CPU群とCPU以外診断対象装置群とを同一のLSI内に有するオンチップマルチプロセッサシステムにおいて、CPU初

期設定・診断用プログラムおよびCPU以外診断対象装置初期設定・診断用プログラムを格納するプログラム格納手段と、前記システム制御部からの電確信号をトリガ信号として受信することを契機として前記プログラム格納手段内のCPU初期設定・診断用プログラムをロードし、当該CPU初期設定・診断用プログラムの実行による各CPUの出力データを診断回路に送出し、前記プログラム格納手段からロードしたCPU以外診断対象装置初期設定・診断用プログラムに基づく正常CPU群によるCPU以外診断対象装置の診断を行い、前記CPU群およびCPU以外診断対象装置群の診断結果を前記システム制御部に通知する前記CPU群と、前記CPU群の各CPUから送出される出力データを多数決論理によって判定して各CPUの障害の有無を診断し、その診断結果を前記CPU群に報告する前記診断回路とを有する。

【0014】

また、本発明のオンチップマルチプロセッサシステムにおける初期設定・診断方式は、システム制御部による制御を受け、CPU群とCPU以外診断対象装置群とを同一のLSI内に有するオンチップマルチプロセッサシステムにおいて、CPU初期設定・診断用プログラムおよびCPU以外診断対象装置初期設定・診断用プログラムを格納するプログラム格納手段と、トリガ信号に関するモード情報および初期設定・診断用プログラムのロードパスに関するモード情報を保持するモード情報格納手段（モードレジスタ等）と、前記モード情報格納手段内のトリガ信号に関するモード情報に基づいて前記システム制御部からの電確信号をトリガ信号とするかユーザ設定信号をトリガ信号とするかの選択を行うトリガ信号選択回路と、前記モード情報格納手段内のロードパスに関するモード情報に基づいて初期設定・診断用プログラムのロードパスを前記プログラム格納手段からのデータ入力によるパスとするか外部データ入力によるパスとするかの選択を行うロードパス選択回路と、前記トリガ信号選択回路によって選択されたトリガ信号の受信を契機として前記ロードパス選択回路によって選択されたロードパスを介してCPU初期設定・診断用プログラムをロードし、当該CPU初期設定・診断用プログラムの実行による各CPUの出力データを診断回路に送出し、前記ロードパス選択回路によって選択されたロードパスを介してロードしたCPU以外診断

対象装置初期設定・診断用プログラムに基づく正常CPU群によるCPU以外診断対象装置の診断を行い、前記CPU群およびCPU以外診断対象装置群の診断結果を前記システム制御部に通知する前記CPU群と、前記CPU群の各CPUから送出される出力データを多数決論理によって判定して各CPUの障害の有無を診断し、その診断結果を前記CPU群に報告する前記診断回路とを有する構成にすることも可能である。

【0015】

【発明の実施の形態】

次に、本発明について図面を参照して詳細に説明する。

【0016】

(1) 第1の実施の形態

図1は、本発明の第1の実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の構成を示すブロック図である。

【0017】

本実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式は、CPU11～1m（mは任意の正整数）からなるCPU群1と、主記憶アクセス制御装置2と、主記憶装置3と、IOP41～4n（nは任意の正整数）からなるIOP群4と、プログラム格納手段に該当するROM（Read Only Memory）5と、診断回路6とを含んで構成されている。CPU群1，主記憶アクセス制御装置2，主記憶装置3，IOP群4，ROM5，および診断回路6は、オンチップマルチプロセッサシステムに係る1つのLSIに実装されている。

【0018】

ROM5は、CPU群1に対する初期設定・診断用プログラム（CPU初期設定・診断用プログラム）と、主記憶アクセス制御装置2，主記憶装置3，およびIOP群4の各々に対する初期設定・診断用プログラム（CPU以外診断対象装置初期設定・診断用プログラム）とを格納（記録）している。

【0019】

各CPU11～1mは、自己の初期設定・診断動作の開始時にROM5内のCP

U初期設定・診断用プログラムをロードし、CPU以外診断対象装置の初期設定・診断動作時にCPU以外診断対象装置初期設定・診断用プログラムを基に当該初期設定・診断動作を行う。ここで、初期設定・診断動作自体の内容は従来技術におけるものと同様である。

【0020】

なお、CPU初期設定・診断用プログラムおよび各CPU以外診断対象装置初期設定・診断用プログラムを、複数のプログラム格納手段（ROM）に分割して格納することも可能なことはいうまでもない。

【0021】

図2は、図1中の診断回路6の詳細な構成を示すブロック図である。

【0022】

診断回路6は、多数決論理回路601～60x（xは任意の正整数）からなる多数決論理回路群60と、論理和ゲート611～61mからなる論理和ゲート群61と、エンコーダ62とを含んで構成されている。

【0023】

図3は、本実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の処理を示す流れ図である。この処理は、トリガ信号受信ステップ301と、CPU初期設定・診断用プログラムロードステップ302と、CPU初期設定・診断用プログラム実行開始ステップ303と、出力データ通知ステップ304と、診断回路診断および診断結果報告ステップ305と、CPU群診断結果システム制御部通知ステップ306と、CPU以外診断対象装置初期設定・診断用プログラムロードステップ307と、CPU以外診断対象装置群初期設定・診断動作実行ステップ308と、CPU以外診断対象装置群診断結果システム制御部通知ステップ309とからなる。

【0024】

次に、このように構成された本実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の動作について説明する。

【0025】

オンチップマルチプロセッサシステムの電源投入により当該オンチップマルチプ

ロセッサシステムの立上げが始まり、CPU11~1mはシステム制御部から電確信号をトリガ信号として受信する（ステップ301）。

【0026】

CPU11~1mは、ステップ301で電確信号を受け取ると、自己の初期設定・診断動作のために、ROM5からCPU初期設定・診断用プログラムをロードし（ステップ302）、当該CPU初期設定・診断用プログラムの実行を開始する（ステップ303）。

【0027】

各CPU11~1mは、当該CPU初期設定・診断用プログラムの実行中における自己の出力データ（x個の出力ピンからの出力ビットの集合）を診断回路6に通知する（ステップ304）。

【0028】

診断回路6は、各CPU11~1mから通知された出力データを受け取り、出力データの各出力ビットを参照し、多数決論理により各CPU11~1mの障害の有無を診断し、診断結果を示すエンコード値を各CPU11~1mに報告（送出）する（ステップ305）。

【0029】

ここで、図2を参照して、診断回路6の詳細な動作を説明する。

【0030】

診断回路6内の各多数決論理回路601~60xは、CPU11~1mにおける、それぞれ第1の出力ピン（Outpin1）~第xの出力ピン（Outpinx）から出力されるm個の出力ビットを入力し、そのm個の入力に対応するm個の出力の各々を論理和ゲート611~61mに送出する。ここで、多数決論理回路601~60xは、当該m個の入力に関する多数決論理をとり（多数派と少数派との切分けを行い）、当該m個の入力のうちで多数派の入力に対応する出力（この出力を「多数決信号」と呼ぶ）としては「0」を送出し、少数派の入力に対応する出力（多数決信号）としては「1」を送出する。すなわち、多数決論理回路60y（yは $1 \leq y \leq x$ を満たす任意の正整数）は、全てのCPU11~1mの第yの出力ピンから出力されるm個の出力ビットを入力し、当該入力を多数派

と少数派とに切り分け、多数派の入力に対応する多数決信号には「0」を設定して少数派の入力に対応する多数決信号には「1」を設定し、当該m個の多数決信号を出力する。例えば、CPU11～1mの全てにおいて障害が存在しなければ、各多数決論理回路601～60xのm個の入力（CPU11～1mの出力ビット）は全て同一の値となり、多数決論理回路601～60xの出力（多数決信号）は全て「0」となる。

【0031】

論理和ゲート611～61mの各々は、多数決論理回路601～60xの第1～第mの出力（それぞれCPU11～1mに対応している）の各々を入力して、それらの論理和を出力する。これにより、CPU11～1mのいずれかに障害が存在した場合には、障害有りと診断されたCPU（「障害CPU」という）に対応する論理和ゲートは「1」を出力することになる。

【0032】

エンコーダ62は、論理和ゲート611～61mの出力をエンコードして、そのエンコード値を全てのCPU11～1mに送出する。ここで、このエンコード値は、障害CPUのCPU番号を示す情報である。障害CPUが複数存在する場合には、例えば、複数回に分けてそれらのCPU番号が全てのCPU11～1mに報告される。

【0033】

以上のようにして、CPU11～1mは、診断回路6内のエンコーダ62からのエンコード値の報告によって、障害CPUの有無および障害CPUのCPU番号を認識することができる。なお、各CPU11～1mは、自己のCPU番号を自己のレジスタ内に保持しているので、当該エンコード値が自己のCPU番号に該当しないことによって自己が正常であることを確認することができる。このCPU番号の値は、オンチップマルチプロセッサシステムの立上げ時に、システム制御部が持っている構成情報により設定される。

【0034】

CPU群1中の自己が正常であることを確認したCPU（「正常CPU」という）は、CPU群1の診断結果をシステム制御部に通知する（ステップ306）。

この通知の方法についてはいろいろな態様が可能であるが、例えば、CPU群1の中で最もCPU番号が小さい正常CPUが障害CPUのCPU番号を示す情報を診断結果としてシステム制御部に通知する態様が考えられる。なお、障害CPUは、CPU群1に関する初期設定・診断動作が終了した時点で、システム制御部によってデグレードされる。

【0035】

CPU群1に関する初期設定・診断動作が終了すると、CPU群1中の正常CPU群は、各主記憶アクセス制御装置2、主記憶装置3、およびIOP群4の初期設定・診断動作のためのCPU以外診断対象装置初期設定・診断用プログラムをROM5からロードし（ステップ307）、上記の各CPU以外診断対象装置の初期設定・診断動作を実行する（ステップ308）。

【0036】

この場合に、正常CPU群中の各正常CPUの当該初期設定・診断動作における処理分担の設定は各種の態様が可能であるが、各正常CPUに処理を均等に割り振って、各正常CPUが同時に自分の担当部分の初期設定・診断動作を実施することが一般的と考えられる。

【0037】

正常CPU群は、CPU以外診断対象装置初期設定・診断用プログラムに基づく初期設定・診断動作が終了すると、CPU以外診断対象装置群の診断結果をシステム制御部に通知する（ステップ309）。上記の各CPU以外診断対象装置のうち、障害有りと判断された装置は、システム制御部によってデグレード可能な単位でデグレードされる。

【0038】

なお、診断回路6の構成は図2に示すものに限られるものではなく、多数決論理を利用してCPU群1の各CPU11～1mの障害の有無を診断できるものであれば、他の構成でもかまわない。

【0039】

また、CPU以外診断対象装置群の内容は、図1に示すもの（主記憶アクセス制御装置2、主記憶装置3、およびIOP群4）に限定されるものではない。

【0040】

(2) 第2の実施の形態

図4は、本発明の第2の実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の構成を示すブロック図である。

【0041】

本実施の形態の基本的構成は上記の第1の実施の形態の構成と同様であるが、本実施の形態はシステム評価や故障解析の効率性についてさらに考慮した構成となっている。

【0042】

すなわち、本実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式は、CPU 11～1mからなるCPU群1と、主記憶アクセス制御装置2と、主記憶装置3と、IOP 41～4nからなるIOP群4と、プログラム格納手段に該当するROM 5と、診断回路6と、ロードパス選択回路7と、トリガ信号選択回路8と、第0ビットおよび第1ビットの2ビットによって構成されるモード情報を格納（保持）するモード情報格納手段を実現するモードレジスタ9とを含んで構成されている。CPU群1，主記憶アクセス制御装置2，主記憶装置3，IOP群4，ROM 5，診断回路6，ロードパス選択回路7，トリガ信号選択回路8，およびモードレジスタ9は、オンチップマルチプロセッサシステムに係る1つのLSIに実装されている。

【0043】

図5は、本実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の処理を示す流れ図である。この処理は、ロードパスモード判定ステップ501と、ROMデータ入力ロードパス選択ステップ502と、外部データ入力ロードパス選択ステップ503と、トリガ信号モード判定ステップ504と、電確信号トリガ信号選択ステップ505と、ユーザ設定信号トリガ信号選択ステップ506と、トリガ信号受信ステップ507と、CPU初期設定・診断用プログラムロードステップ508と、CPU初期設定・診断用プログラム実行開始ステップ509と、出力データ通知ステップ510と、診断回路診断および診断結果報告ステップ511と、CPU群診断結果システム制御部通知ステップ

512と、CPU以外診断対象装置初期設定・診断用プログラムロードステップ513と、CPU以外診断対象装置群初期設定・診断動作実行ステップ514と、CPU以外診断対象装置群診断結果システム制御部通知ステップ515とからなる。

【0044】

なお、図2は、図4中の診断回路6の詳細な構成を示すブロック図でもある。

【0045】

次に、このように構成された本実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の動作について説明する。

【0046】

あらかじめ、モードレジスタ9は、ユーザ設定に基づき、第0ビットおよび第1ビットに、以下の1)および2)に示すモード情報を保持している。

【0047】

1) 初期設定・診断用プログラムのロードパスをROM5からのデータ入力によるパスとする場合には第0ビットの値に「0」がセットされ、外部データ入力によるパスとする場合には第0ビットの値に「1」がセットされる。

【0048】

2) CPU11～1mの初期設定・診断動作の開始の契機となるトリガ信号を「オンチップマルチプロセッサシステムの電源投入時にシステム制御部から出力される電確信号」とする場合には第1ビットの値に「0」がセットされ、当該トリガ信号を「ユーザが自分でトリガをかけたい場合にユーザによりコンソール等から設定（入力）されるユーザ設定信号」とする場合には第1ビットの値に「1」がセットされる。

【0049】

なお、上記の値の設定の態様は、あくまでも一例である。

【0050】

ロードパス選択回路7は、モードレジスタ9の第0ビットの値が「0」であるか「1」であるかを判定し（ステップ501）、「0」である場合にはROM5からのデータ入力によって初期設定・診断用プログラム（CPU初期設定・診断用

プログラムおよびCPU以外診断対象装置初期設定・診断用プログラム）をロードすることを選択し（ステップ502）、「1」である場合には外部データ入力によって初期設定・診断用プログラムをロードすることを選択する（ステップ503）。このようにして、ロードパス選択回路7は、CPU11～1mが初期設定・診断用プログラムをロードするパスを切り替える。

【0051】

トリガ信号選択回路8は、モードレジスタ9の第1ビットの値が「0」であるか「1」であるかを判定し（ステップ504）、「0」である場合には電確信号を初期設定・診断動作の開始の契機となるトリガ信号とるように選択し（ステップ505）、「1」である場合にはユーザ設定信号をトリガ信号とるように選択する（ステップ506）。このようにして、トリガ信号選択回路8は、トリガ信号の切替えを実現する。

【0052】

CPU11～1mは、トリガ信号選択回路8によって選択されたトリガ信号（電確信号またはユーザ設定信号）を受信すると（ステップ507）、ロードパス選択回路7の選択に基づき設定されたロードパスによって、ROM5に記録されたCPU初期設定・診断用プログラムまたは外部データ入力によるCPU初期設定・診断用プログラムをロードし（ステップ508）、当該CPU初期設定・診断用プログラムの実行を開始する（ステップ509）。

【0053】

その後は、第1の実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式における動作と同様に、CPU11～1mに関する初期設定・診断動作が行われる（ステップ510～512参照）。なお、図5中のステップ510～512の処理は図3中のステップ304～306の処理に該当する。

【0054】

さらに、CPU群1中の正常CPU群は、CPU群1に関する初期設定・診断動作が終了すると、各主記憶アクセス制御装置2，主記憶装置3，およびIOP群4の初期設定・診断動作のためのCPU以外診断対象装置初期設定・診断用プロ

グラムを、ロードパス選択回路7の選択に基づき設定されたロードパスを介してロードする。すなわち、ROM5に記録されたCPU以外診断対象装置初期設定・診断用プログラムまたは外部データ入力によるCPU以外診断対象装置初期設定・診断用プログラムをロードし（ステップ513）、当該CPU以外診断対象装置初期設定・診断用プログラムによって上記の各CPU以外診断対象装置の初期設定・診断動作を実行する（ステップ514）。

【0055】

その後は、第1の実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の動作と同様に、当該CPU以外診断対象装置に関する初期設定・診断動作が行われる（ステップ515参照）。なお、図5中のステップ515の処理は図3中のステップ309の処理に該当する。

【0056】

以上のように、本実施の形態では、初期設定・診断動作開始のトリガをかけるタイミングがユーザの設定で可変となるので、オンチップマルチプロセッサシステムの立上げ時における問題（CPUやCPU以外診断対象装置に論理バグや故障が存在したときや、初期設定データにバグが存在したようなときに、オンチップマルチプロセッサシステムの立上げが正常に行われなくなるという問題）が存在した場合にも、システム評価を効率的かつ有効に行うことができるという効果が得られる。

【0057】

また、本実施の形態では、初期設定・診断用プログラムを、ROM5に記録された初期設定・診断用プログラムで実現するのみでなく、外部データ入力に係る初期設定・診断用プログラムで実現することも可能にしたので、様々な初期設定・診断用プログラムを実行することができ、システム評価や故障解析をさらに効率的かつ有効に行うことができるという効果が得られる。

【0058】

なお、モードの切替えは、初期設定・診断用プログラムのロードパスに関するモードおよびトリガ信号に関するモードのいずれか一方だけであってもかまわない。その場合の構成は、次の1)または2)に示すようになる。

【0059】

1) 初期設定・診断用プログラムのロードパスに関するモードの切替えのみが行われる場合には、図1に示す基本構成に対して、図4中のロードパス選択回路7および上記の第0ビットのみをモード情報として保持するモードレジスタ9が付加された構成となる。

【0060】

2) トリガ信号に関するモードの切替えのみが行われる場合には、図1に示す基本構成に対して、図4中のトリガ信号選択回路8および上記の第1ビットのみをモード情報として保持するモードレジスタ9が付加された構成となる。

【0061】

なお、診断回路6の構成が図2に示すものに限られるものではなく多数決論理を利用してCPU群1の各CPU11～1mの障害の有無を診断できるものであれば他の構成でもかまわないことや、CPU以外診断対象装置群の内容が図4に示すもの（主記憶アクセス制御装置2，主記憶装置3，およびIOP群4）に限定されないことは、第1の実施の形態における場合と同様である。

【0062】

【発明の効果】

以上説明したように、本発明は、以下に記載するような効果を奏する。

【0063】

第1の効果は、初期設定・診断制御用の専用のプロセッサ（初期設定・診断制御プロセッサ）を不要とできるので、オンチップマルチプロセッサシステムを駆動するために必要なハードウェア量を削減できることである。

【0064】

第2の効果は、オンチップマルチプロセッサシステムを実現するLSIが自己診断を行うので、オンチップマルチプロセッサシステムの通常動作時のクロック周波数で初期設定・診断動作を行うことができ、初期設定・診断制御プロセッサを使用した従来技術と比較して、高速に初期設定・診断動作を行うことができることである。

【0065】

第3の効果は、オンチップマルチプロセッサシステムを実現するLSI内に初期設定・診断動作の装置を備えているので、従来技術で必要であった「CPU等の診断対象装置と初期設定・診断制御プロセッサとの間のクロック周波数の同期制御」が不要になることである。

【0066】

第4の効果は、上述のようにオンチップマルチプロセッサシステムを実現するLSI自体に高度な自己診断機能を持たせることにより、LSIテストの機能による検査の工程を削減することが可能となり、オンチップマルチプロセッサシステムに係るLSIの製造原価を下げるができることである。

【0067】

なお、「モード切替え」の考え方を採用すること（トリガ信号や初期設定・診断プログラムのロードパスに関するモードを可変とすること）により、上記の効果の他に、システム評価や故障解析の効率性を向上させることができるという特有の効果が生じる。具体的には、以下に示すような効果が生じる。

【0068】

まず、初期設定・診断動作開始のトリガをかけるタイミングがユーザの設定で可変となるので、オンチップマルチプロセッサシステムの立上げ時における問題が存在した場合にも、システム評価を効率的かつ有効に行うことができるという効果が得られる。

【0069】

また、初期設定・診断用プログラムをプログラム格納手段（ROM）に記録された初期設定・診断用プログラムで実現するのみでなく、外部データ入力に係る初期設定・診断用プログラムで実現することも可能にしたので、様々な初期設定・診断用プログラムを実行することができ、システム評価や故障解析をさらに効率的かつ有効に行うことができるという効果が得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の構成を示すブロック図である。

【図 2】

図 1 および図 4 中の診断回路の詳細な構成を示すブロック図である。

【図 3】

図 1 に示すオンチップマルチプロセッサシステムにおける初期設定・診断方式の処理を示す流れ図である。

【図 4】

本発明の第 2 の実施の形態に係るオンチップマルチプロセッサシステムにおける初期設定・診断方式の構成を示すブロック図である。

【図 5】

図 4 に示すオンチップマルチプロセッサシステムにおける初期設定・診断方式の処理を示す流れ図である。

【図 6】

従来のオンチップマルチプロセッサシステムにおける初期設定・診断方式の一例の構成を示すブロック図である。

【符号の説明】

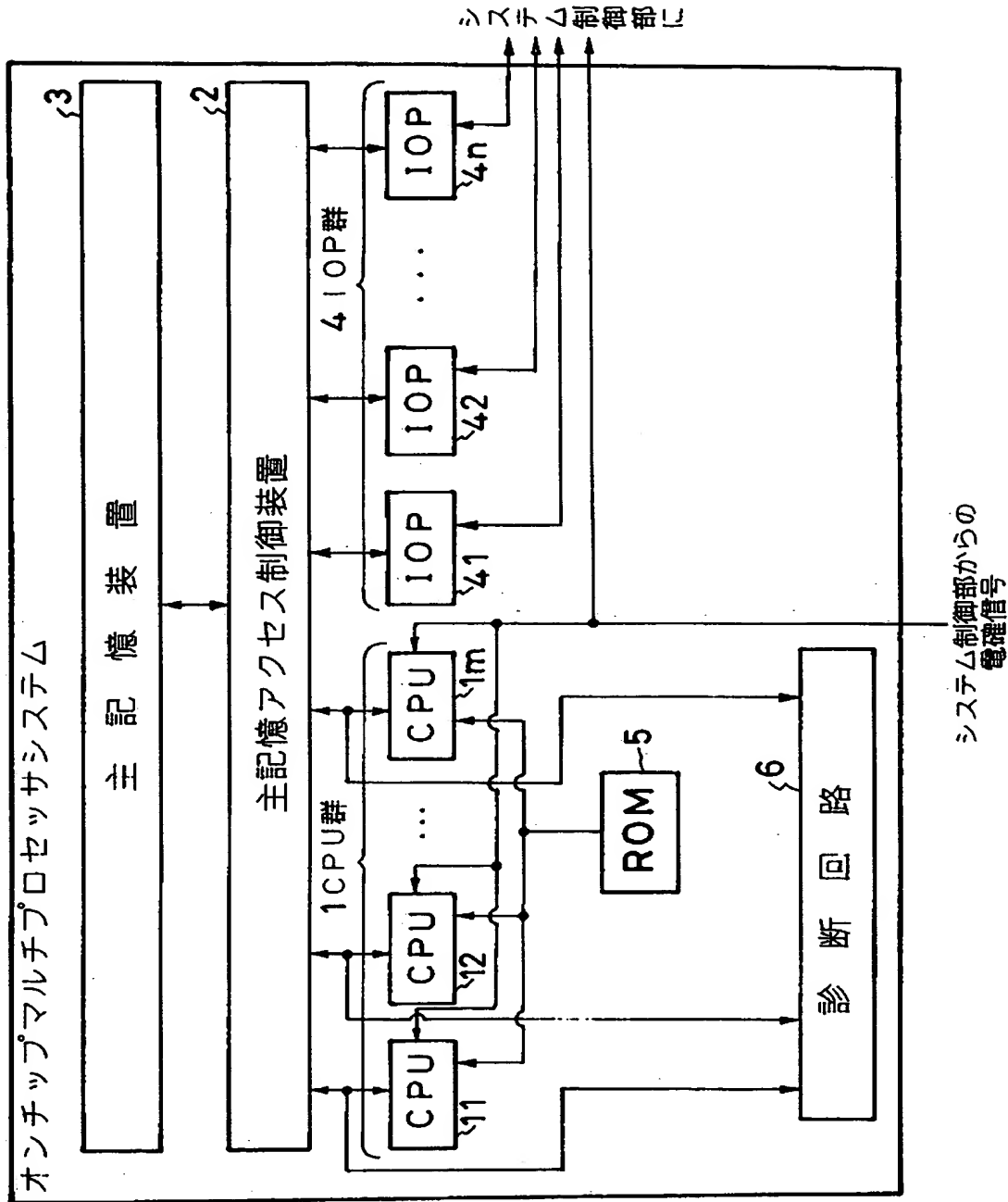
- 1 CPU 群
- 2 主記憶アクセス制御装置
- 3 主記憶装置
- 4 IOP 群
- 5 ROM
- 6 診断回路
- 7 ロードパス選択回路
- 8 トリガ信号選択回路
- 9 モードレジスタ
- 11~1m CPU
- 41~4n IOP
- 60 多数決論理回路群
- 61 論理和ゲート群
- 62 エンコーダ

601~60x 多数決論理回路

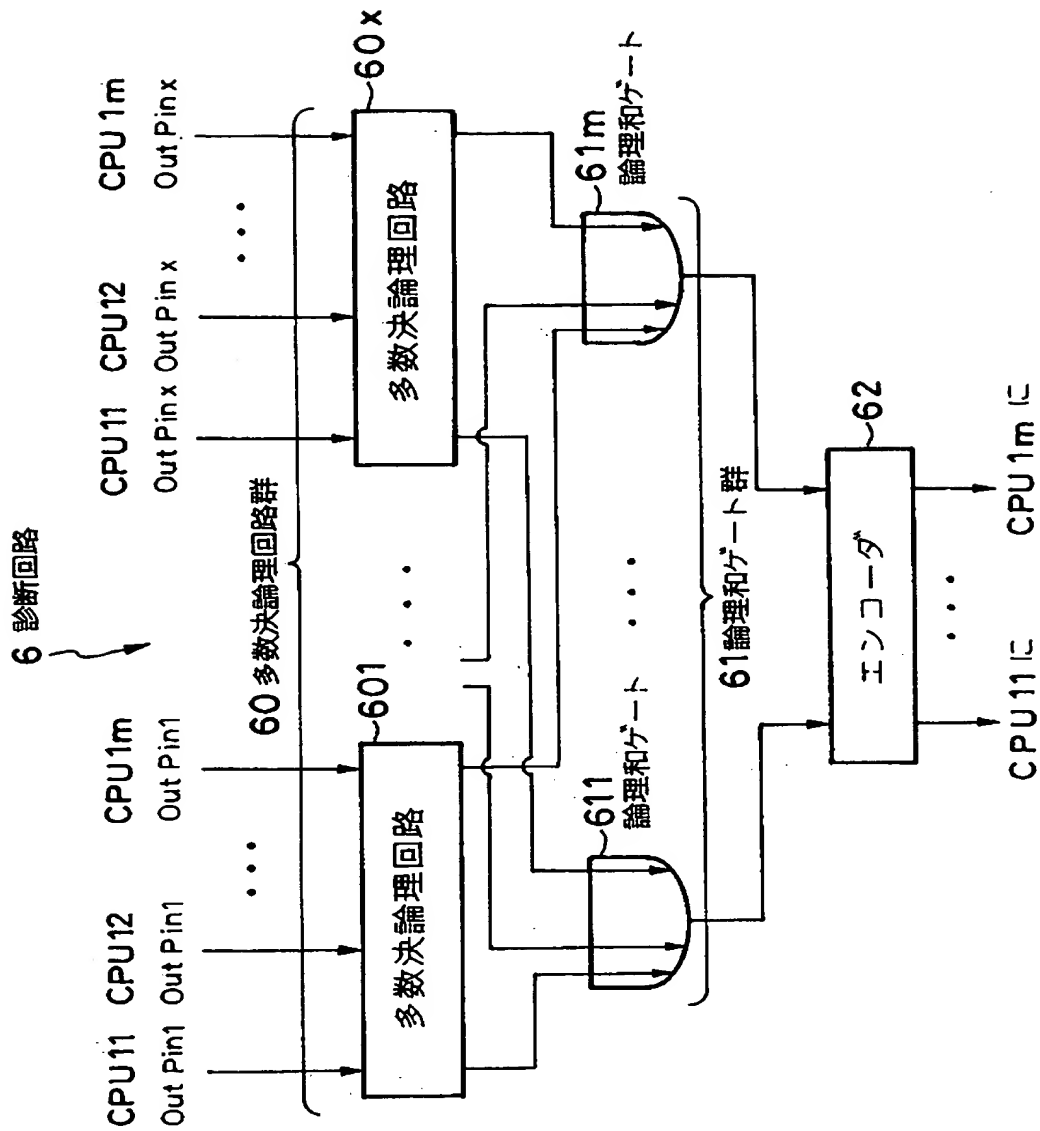
611~61m 論理和ゲート

【書類名】 図面

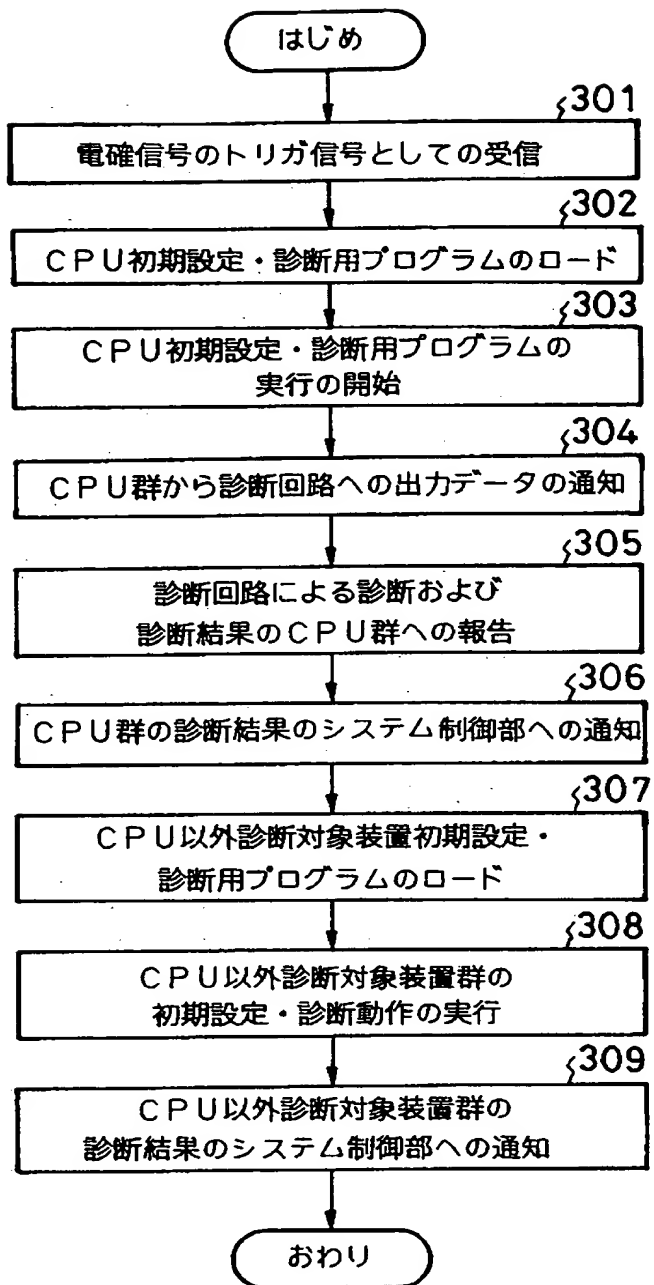
【図 1】



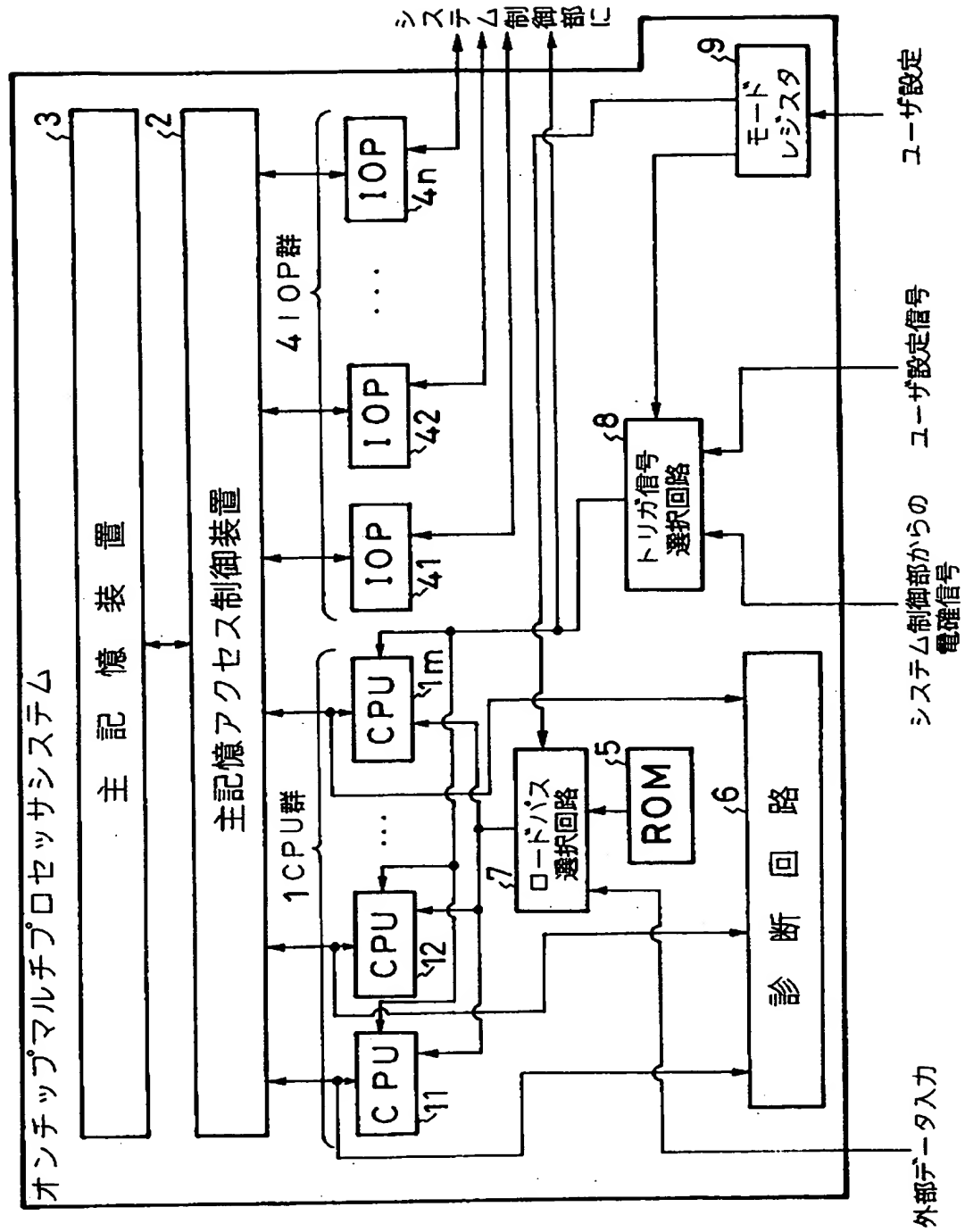
【図 2】



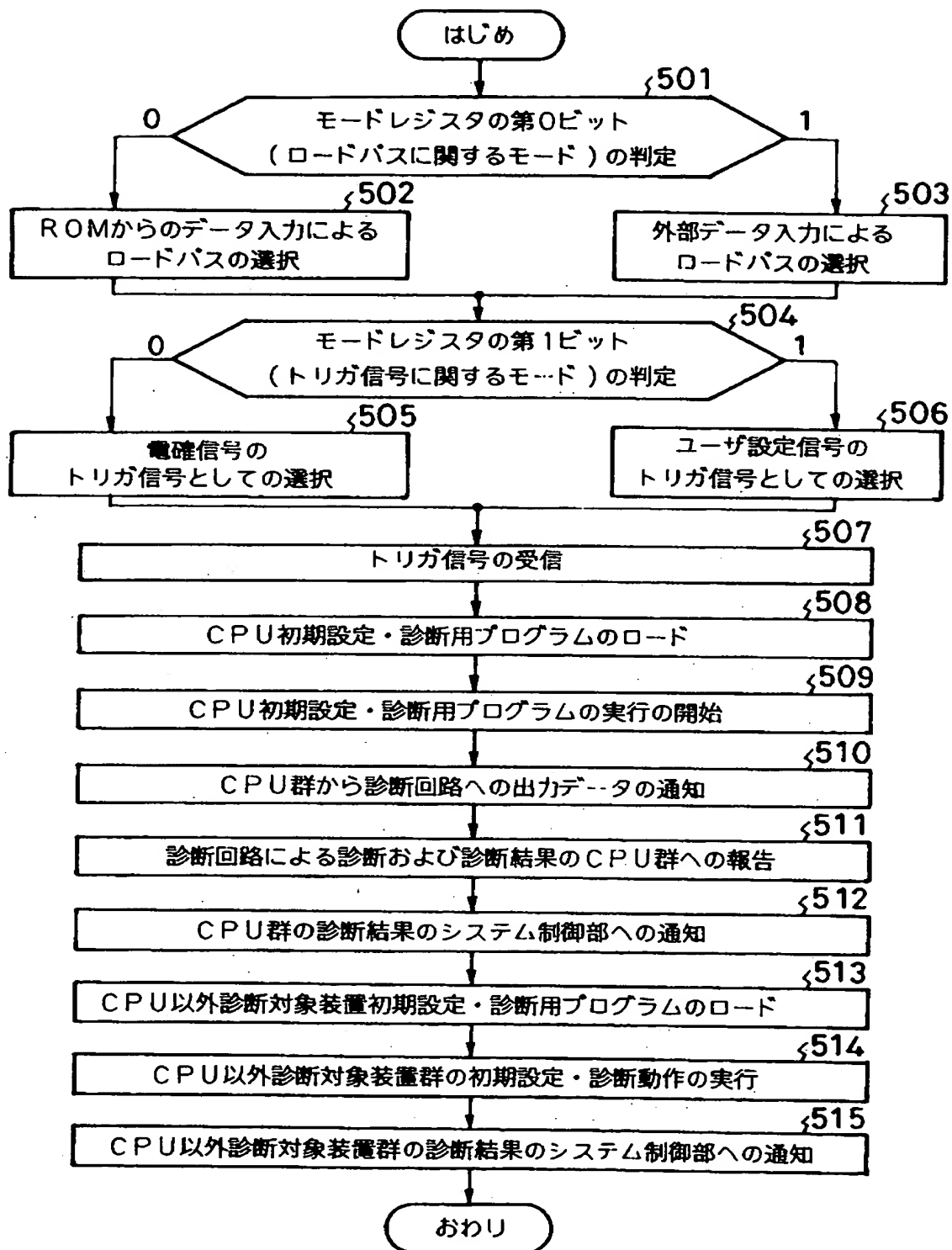
【図3】



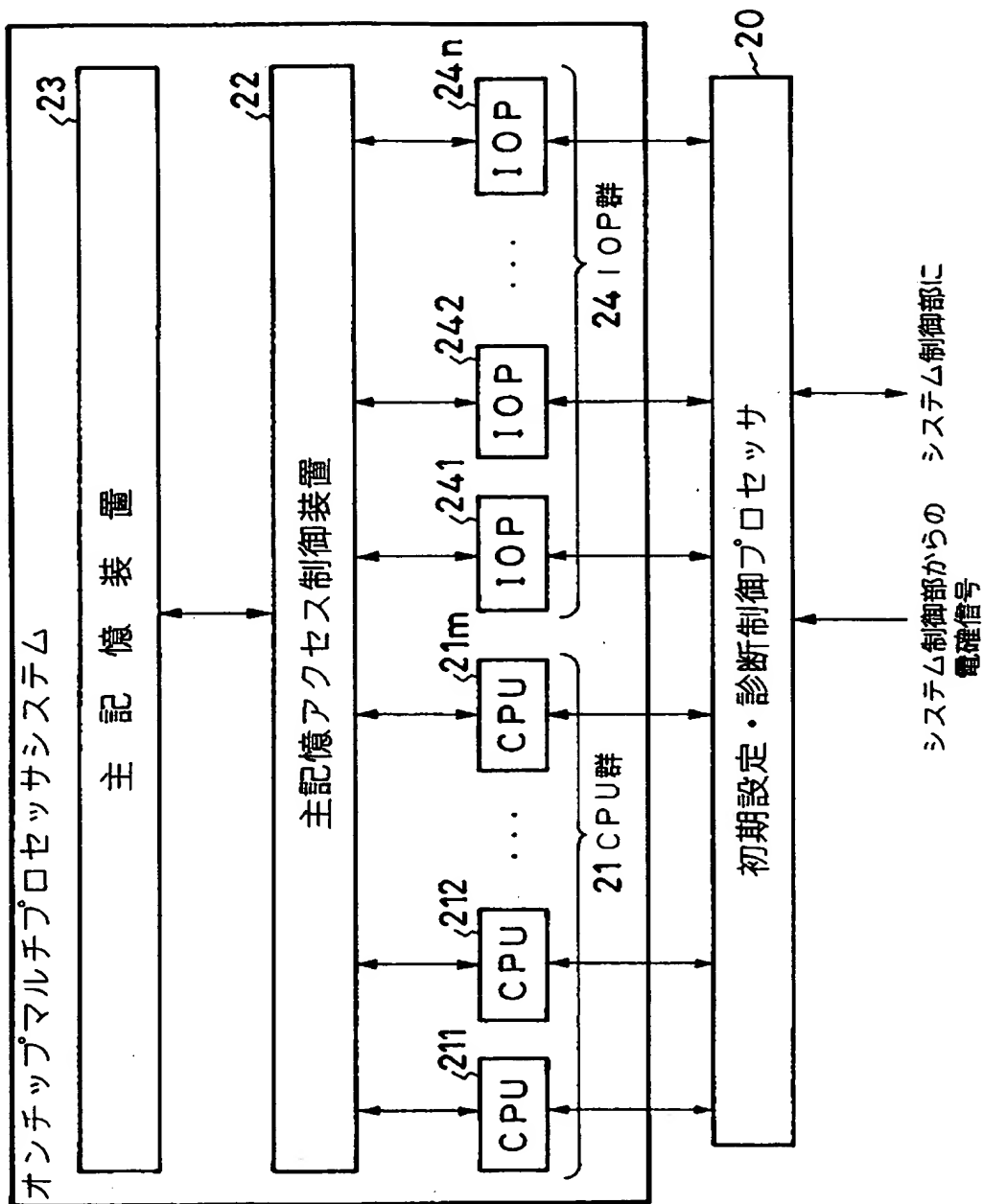
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 初期設定・診断制御用の専用プロセッサ（初期設定・診断制御プロセッサ）を不要とする。

【解決手段】 CPU群1は、システム制御部からの電確信号をトリガとしてROM5内のCPU初期設定・診断用プログラムをロードし、当該CPU初期設定・診断用プログラムの実行による各CPU11～1mの出力データを診断回路6に送出し、ROM5からロードしたCPU以外診断対象装置初期設定・診断用プログラムに基づく正常CPU群によるCPU以外診断対象装置の診断を行い、CPU群1およびCPU以外診断対象装置群の診断結果をシステム制御部に通知する。診断回路6は、各CPU11～1mから送出される出力データを多数決論理によって判定して各CPU11～1mの障害の有無を診断し、その診断結果をCPU群1に報告する。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000004237
【住所又は居所】 東京都港区芝五丁目7番1号
【氏名又は名称】 日本電気株式会社
【代理人】 申請人
【識別番号】 100088890
【住所又は居所】 東京都新宿区西新宿8丁目15番3号 松原ビル8
04号
【氏名又は名称】 河原 純一

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社